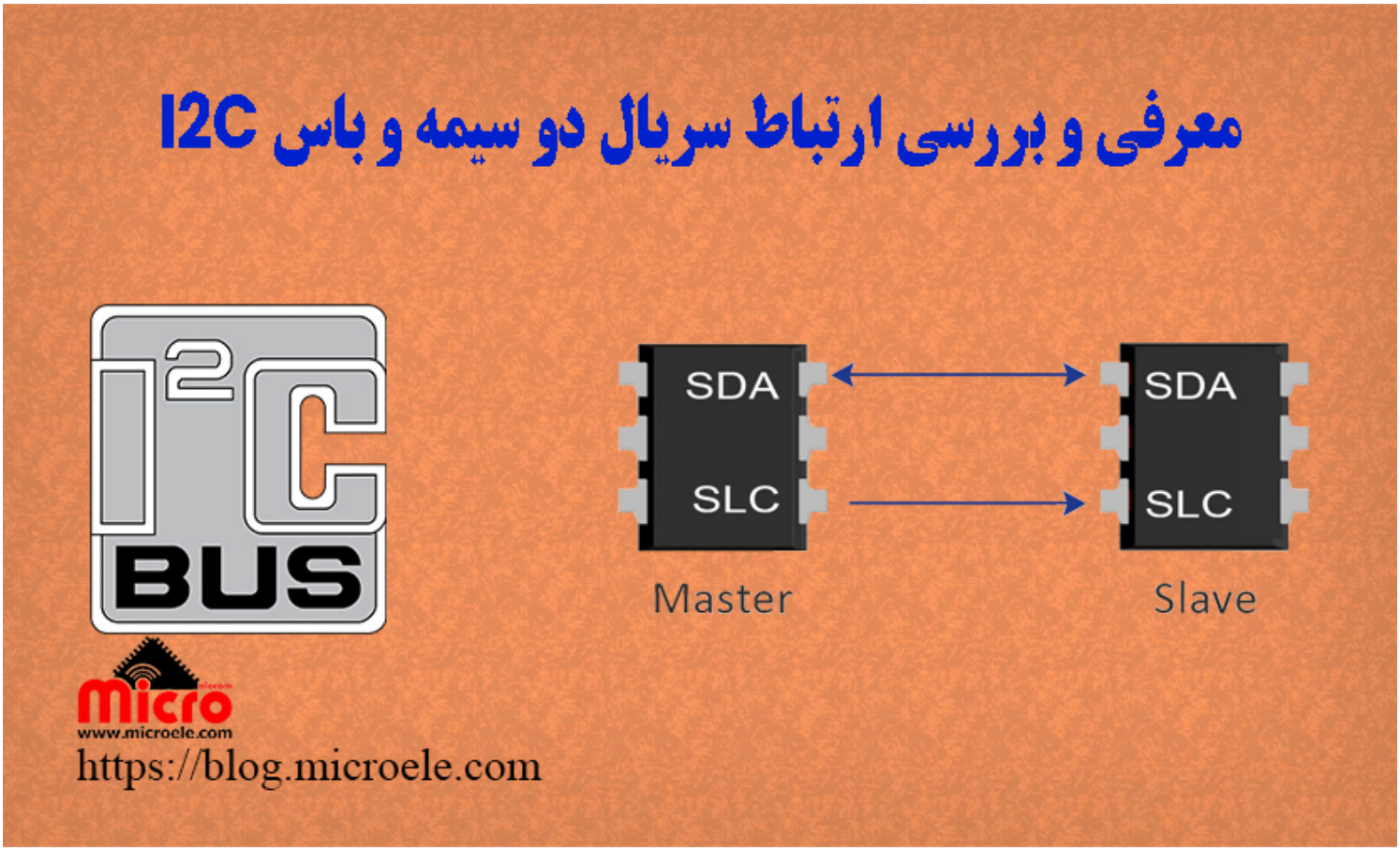
معرفی و بررسی ارتباط سریال دو سیمه و باس I2C



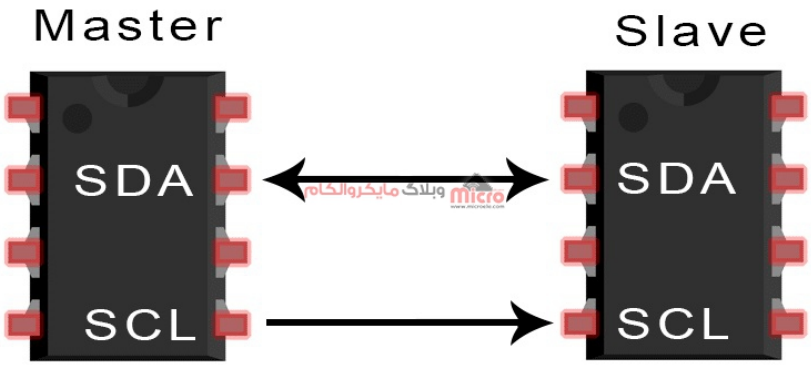
تاریخ انتشار۲۲ اردیبهشت, ۱۴۰۱ توسط محمدرضا عابدینی

سلام خدمت همه عزیزان. در مطالب قبلی به بررسی و معرفی بستر ارتباطی RS232 پرداخته شد و توضیحاتی ذکر گردید. در این مطلب به بررسی و معرفی باس ارتباطی و پروتکل I2C پرداخته خواهد شد. پس با من تا انتهای مطلب همراه باشید. همچنین شما میتونید سایر مطالب من رو از این لینک مطالعه و بررسی کنید.

مقدمه ای در باره I2C

در بحث RS232 به مزایا و معایب پروتکل سریال و موازی پرداخته شد. با توجه به اینکه این پروتکل برای ارتباط device to device تا حدود 15متر با چندین خط در نظر گرفته شده بود که در برخی ارتباطات این امکانات ضرورتی نداشت و درصورت تطبیق سطوح ولتاژی می‌توانستیم از USART/UART استفاده کنیم اما همچنان قابلیت هایی مانند multi masters/slaves در آن ممکن نبود.

باس یا رابط سریال I^2C اولین بار توسط شرکت فیلیپس درسال 1982 طراحي شد. اين واسط از طريق دو سيم با نام هاي SDA و SCL كه يكي براي انتقال اطلاعات و ديگري براي انتقال كلاك (پالس ساعت) مي‌باشد تشكل شده است.



بستر ارتباطی 2 سیمه I2C

ویژگی های ارتباط سریال 2 سیمه یا I2C

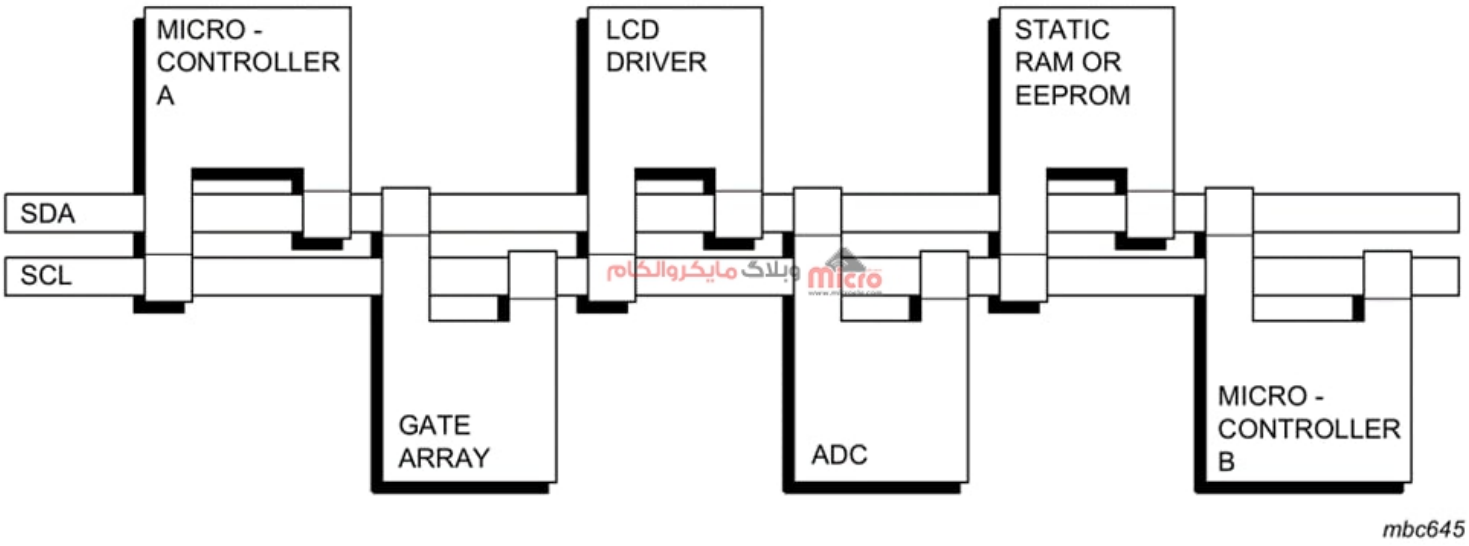
1. رابطی انعطاف پذیر و بسیار ساده اما درعین حال قدرتمند که فقط نیاز به دو خط انتقال دارد.
2. قابلیت پشتیبانی از مد های master و slave در حالت های فرستنده و گیرنده در I2C.
3. فضای آدرس هفت بیتی یا ده بیتی
4. دارای قابلیت multi masters
5. سرعت انتقال اطلاعات متفاوت برای سازگاری با پریفرال های مختلف.
6. دارای قابلیت boardcast (فراخوانی عمومی)

7. در برخی میکروکنترلر ها قابلیت بیدار شدن از مد sleep با تشخیص آدرس خود

در تاریخ 2021 داکیومنت مربوطه بروزرسانی شده و ورژن 7 آن منتشر گردید که مبنای این مطلب و توضیحات مربوط به I2C در آن، بر اساس آخرین نسخه می‌باشد. ارتباط سریال دو سیمه I2C شاید به بیش از 1000 نوع مختلف در 50 کمپانی پیاده سازی شده که معماری اصلی پروتکل هایی نظیر ATCA، DDC، IPMI، SMBUS، PMBUS نیز می‌باشد.

شایان ذکر است که I2C با I3C که در سال 2017 توسط NXP و MIPI معرفی شده نیز سازگار است. از این رو می‌توان گفت که با یک باس و ارتباط قدرتمندی روبه رو هستیم.

نحوه اتصال پریفرال ها در ارتباط سریال دو سیمه I2C



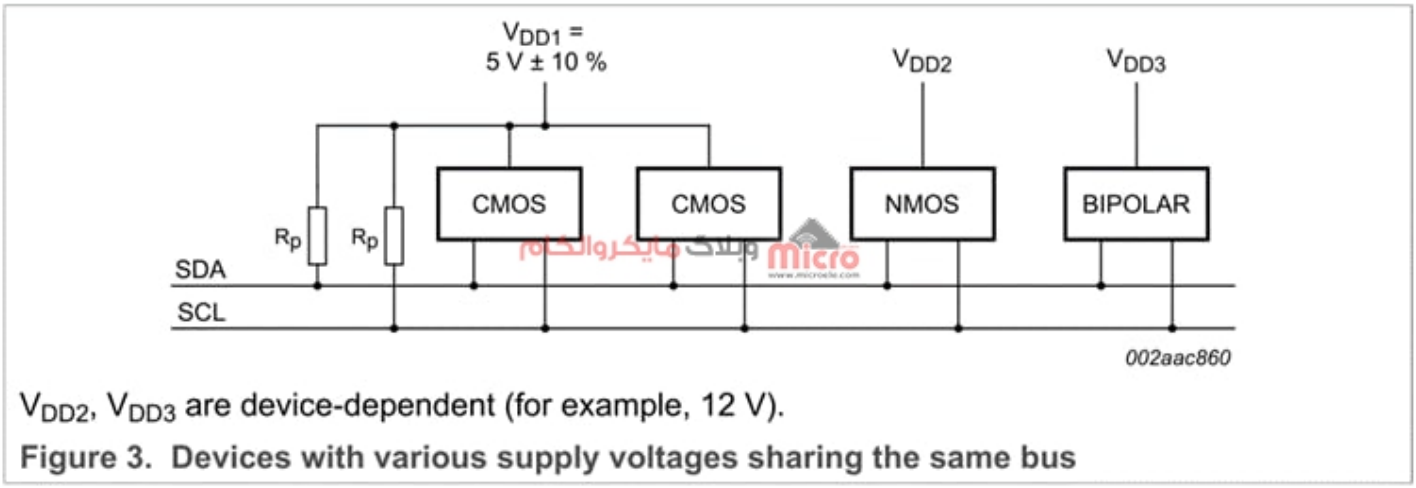
نحوه اتصال پریفرال ها در ارتباط سریال دو سیمه*I2C*

آنچه که تعداد پریفرال ها را در ارتباط سریال دو سیمه I2C محدود می‌کند، ظرفیت خازنی خط و نیز تعداد بیت آدرس دهی (7بیتی یا 10 بیتی) می‌باشد که می‌توان حداکثر طول 2 الی 3متری را برای آن متصور شد. سرعت ارتباط نیز مطابق جدول زیر است.

Mode[11]	Maximum speed	Maximum capacitance	Drive	Direction
Standard mode (Sm)	100 kbit/s	400 pF	Open drain*	Bidirectional
Fast mode (Fm)	400 kbit/s	400 pF	Open drain*	Bidirectional
Fast mode plus (Fm+)	1 Mbit/s	550 pF	Open drain*	Bidirectional
High-speed mode (Hs)	1.7 Mbit/s	400 pF	Open drain*	Bidirectional
High-speed mode (Hs)	3.4 Mbit/s	100 pF	Open drain*	Bidirectional
Ultra-fast mode (UFm)	5 Mbit/s	?	Push–pull	Unidirectional

سرعت تبادل دیتا در ارتباط سریال دو سیمه I2C

به دلیل طراحی open drain یا open collector بودن باس I2C نیاز داریم که آن را توسط مقاومتی pull up کنیم. همچنین به دلیل قابلیت wired-and ما مشکلی بابت اتصال چندین master /slave نخواهیم داشت. البته این ویژگی ها به ما این قابلیت را می‌دهد تا حدودی بتوان بدون تغییر سطوح ولتاژ، پریفرال های متفاوت باهم ارتباط برقرار نمایند. مانند پریفرالی که با ولتاژ 5 ولت و میکروکنترلری که با 3.3 ولت کار می‌کند.



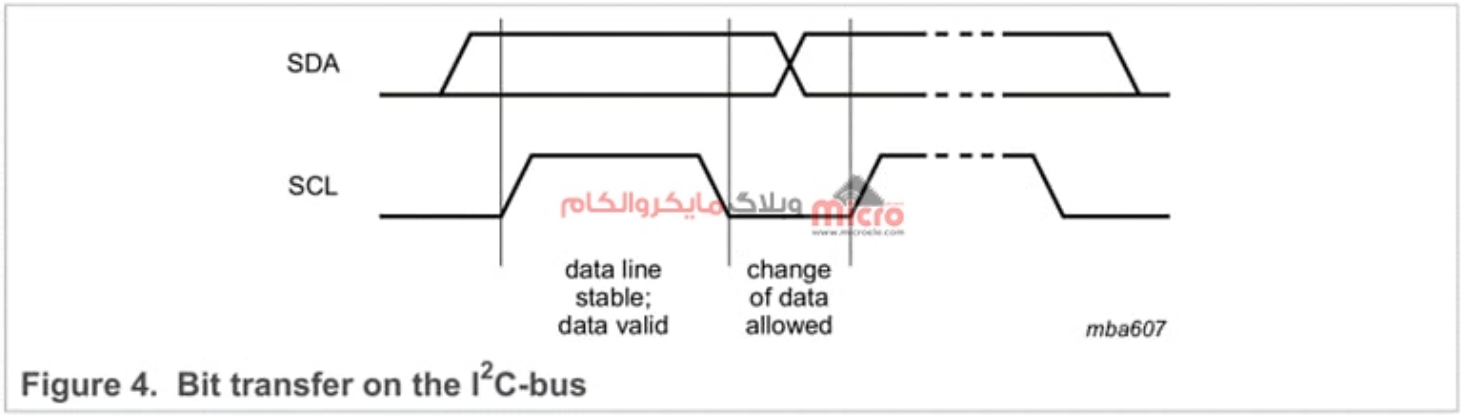
V_{DD2}, V_{DD3} are device-dependent (for example, 12 V).

Figure 3. Devices with various supply voltages sharing the same bus

اتصال پریفرال های مختلف در ارتباط سریال دو سیمه I2C

اعتبار داده ها

هر بایت داده بر روی خط SDA باید 8 بیت طول داشته باشد. همچنین هیچ محدودیتی در مورد تعداد بایت های ارسالی توسط یک فرستنده برروی SDA وجود ندارد. باید توجه داشت که خط SDA نباید هنگامی که clock در سطح high است تغییر کند (شکل زیر). مگر در دو حالت start و stop condition.



نحوه انتقال بیت در باس I2C

تعریف Start & Stop Condition

همواره انتقال داده ها با Start آغاز شده و به stop ختم خواهند شد. زمانیکه SCL یا همان کلاک در ارتباط I2C در حالت high قرار دارد اگر SDA از high به low تغییر وضعیت دهد start تلقی خواهد شد. بنابر تعریف ذکر شده نیز درصورتی که SCL در وضعیت high قرار داشته باشد، اگر SDA از low به high تغییر وضعیت دهد stop تفسیر می‌گردد.

Start & Stop Condition در ارتباط سریال دو سیمه I2C

تعریف (Acknowledge (ACK) & Not Acknowledge (NACK

بعد از هر بایت ارسال شده جهت تعیین اینکه این بایت توسط گیرنده پذیرش شده است یا نه، یک بیت دیگر در پالس بعدی ارسال می‌شود. که به N/ACK معروف است که عملکرد آن بصورت زیر است.

- فرستنده خط SDA را آزاد می‌کند تا در پالس نهم، گیرنده با قرار دادن و نگاه داشتن خط بصورت low در زمانیکه که کلاک به high می‌رود (مانند start condition) به معنای ACK تفسیر گردد.
- درصورتی که در پالس نهم خط SDA در مقدار high قرار بگیرد به معنای NACK است.

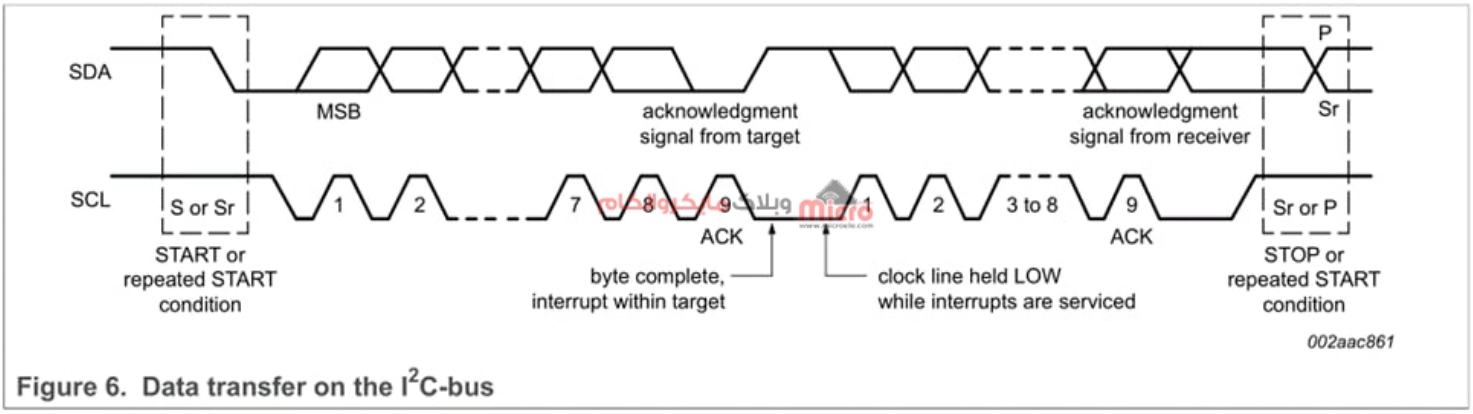


Figure 6. Data transfer on the I²C-bus

تعریف (Acknowledge (ACK) & Not Acknowledge (NACK در I2C

پنج حالت ممکن برای رخ دادن NACK

- هیچ گیرنده ای در باس با آدرس ارسالی برای پاسخگویی و تایید وجود ندارد.
- گیرنده قادر به دریافت یا ارسال نیست زیرا برخی عملکرد های real time را انجام می‌دهد و آماده شروع ارتباط با کنترلر نیست.
- درحین انتقال، گیرنده داده یا دستوراتی را دریافت می‌کند که متوجه نمی‌شود.
- درحین انتقال، گیرنده نمی‌تواند بایت داده بیشتری دریافت کند.
- ارتباط ناقص صورت می‌گیرد و پایان انتقال مشخص نیست.

مسئله Arbitration یا Clock stretching زمانیکه چندین master وجود داشته باشد مطرح می‌شود در آینده به آن خواهیم

پرداخت. همچنین از نسخه 3 به بعد مکانیزم device id نیز اضافه شده است که 3 بایت (غیر قابل تغییر) بصورت زیر است.

Figure 20. Device ID field

device id در ارتباط I2C

- 12 بیت: بیت های مرتبط با نام سازنده قرار دارد مانند *NXP*
- 9 بیت مربوط به شناسایی ایسی می‌باشد مانند *PCA9698*
- 3 بیت بعدی مربوط به ورژن می‌باشد مانند *RevX*

اجازه بدهید نگاه عمیق تری به بیت های مربتط با چندین کمپانی سازنده داشته باشیم:

Table 5. Assigned manufacturer IDs

Manufacturer bits												Company
11	10	9	8	7	6	5	4	3	2	1	0	
0	0	0	0	0	0	0	0	0	0	0	0	NXP Semiconductors
0	0	0	0	0	0	0	0	0	0	0	1	NXP Semiconductors (reserved)
0	0	0	0	0	0	0	0	0	0	1	0	NXP Semiconductors (reserved)
0	0	0	0	0	0	0	0	0	0	1	1	NXP Semiconductors (reserved)
0	0	0	0	0	0	0	0	0	1	0	0	Ramtron International
0	0	0	0	0	0	0	0	0	1	0	1	Analog Devices
0	0	0	0	0	0	0	0	0	1	1	0	STMicroelectronics
0	0	0	0	0	0	0	0	0	1	1	1	ON Semiconductor
0	0	0	0	0	0	0	0	1	0	0	0	Sprintek Corporation
0	0	0	0	0	0	0	0	1	0	0	1	ESPROS Photonics AG
0	0	0	0	0	0	0	0	1	0	1	0	Fujitsu Semiconductor
0	0	0	0	0	0	0	0	1	0	1	1	Flir
0	0	0	0	0	0	0	0	1	1	0	0	O_2Micro
0	0	0	0	0	0	0	0	1	1	0	1	Atmel
0	0	0	0	0	0	0	0	1	1	1	0	DIODES Incorporated
0	0	0	0	0	0	0	0	1	1	1	1	Pericom
0	0	0	0	0	0	0	1	0	0	0	0	Marvell Semiconductor Inc

وبلاگ مایکروالکام

بررسی *device id* در استفاده کننده های مختلف *I2C*

بی شک پارامترهای دیگری که شاید هنگام استفاده از میکروکنترلر مشهود نباشد. اما در FPGA و کاربرد های متنوع حائز اهمیت هستند که صرفا به ارائه این مشخصات برای سه مد Standard، Fast و Fast-mode Plus در جدول زیر آمده است و به آن بسنده می‌کنیم.

Table 11. Characteristics of the SDA and SCL bus lines for Standard, Fast, and Fast-mode Plus I^2C-bus devices

All values referred to $V_{IH(min)}$ ($0.7V_{DD}$) and $V_{IL(max)}$ ($0.3V_{DD}$) levels (see Table 10).

Symbol	Parameter	Conditions	Standard-mode		Fast-mode		Fast-mode Plus		Unit
			Min	Max	Min	Max	Min	Max	
f_{SCL}	SCL clock frequency		0	100	0	400	0	1000	kHz
$t_{HD;STA}$	hold time (repeated) START condition	After this period, the first clock pulse is generated.	4.0	-	0.6	-	0.26	-	µs
t_{LOW}	LOW period of the SCL clock		4.7	-	1.3	-	0.5	-	µs
t_{HIGH}	HIGH period of the SCL clock		4.0	-	0.6	-	0.26	-	µs
$t_{SU;STA}$	set-up time for a repeated START condition		4.7	-	0.6	-	0.26	-	µs
$t_{HD;DAT}$	data hold time [1]	CBUS compatible controllers (see Remark in Section 4.1)	5.0	-	-	-	-	-	µs
		I^2C-bus devices	0 [2]	- [3]	0 [2]	- [3]	0	-	µs
$t_{SU;DAT}$	data set-up time		250	-	100 [4]	-	50	-	ns
t_r	rise time of both SDA and SCL signals		-	1000	20	300	-	120	ns
t_f	fall time of both SDA and SCL signals [2] [5] [6] [7]		-	300	$20 \times (V_{DD} / 5.5\ V)$	300	$20 \times (V_{DD} / 5.5\ V)$ [8]	120 [7]	ns
$t_{SU;STO}$	set-up time for STOP condition		4.0	-	0.6	-	0.26	-	µs
t_{BUF}	bus free time between a STOP and START condition		4.7	-	1.3	-	0.5	-	µs
C_b	capacitive load for each bus line [9]		-	400	-	400	-	550	pF
$t_{VD;DAT}$	data valid time [10]		-	3.45 [3]	-	0.9 [3]	-	0.45 [3]	µs
$t_{VD;ACK}$	data valid acknowledge time [11]		-	3.45 [3]	-	0.9 [3]	-	0.45 [3]	µs
V_{nL}	noise margin at the LOW level	for each connected device (including hysteresis)	$0.1V_{DD}$	-	$0.1V_{DD}$	-	$0.1V_{DD}$	-	V
V_{nH}	noise margin at the HIGH level	for each connected device (including hysteresis)	$0.2V_{DD}$	-	$0.2V_{DD}$	-	$0.2V_{DD}$	-	V

سه حالت *Standard Fast* و *Fast-mode Plus*

Table 10. Characteristics of the SDA and SCL I/O stages

n/a = not applicable.

Symbol	Parameter	Conditions	Standard-mode		Fast-mode		Fast-mode Plus		Unit
			Min	Max	Min	Max	Min	Max	
V_{IL}	LOW-level input voltage [1]		-0.5	$0.3V_{DD}$	-0.5	$0.3V_{DD}$	-0.5	$0.3V_{DD}$	V
V_{IH}	HIGH-level input voltage [1]		$0.7V_{DD}$	[2]	$0.7V_{DD}$	[2]	$0.7V_{DD}$ [1]	[2]	V
V_{hys}	hysteresis of Schmitt trigger inputs		-	-	$0.05V_{DD}$	-	$0.05V_{DD}$	-	V
V_{OL1}	LOW-level output voltage 1	(open-drain or open-collector) at 3 mA sink current; $V_{DD} > 2$ V	0	0.4	0	0.4	0	0.4	V
V_{OL2}	LOW-level output voltage 2	(open-drain or open-collector) at 2 mA sink current [3] ; $V_{DD} \leq 2$ V	-	-	0	$0.2V_{DD}$	0	$0.2V_{DD}$	V
I_{OL}	LOW-level output current	$V_{OL} = 0.4$ V	3	-	3	-	20	-	mA
		$V_{OL} = 0.6$ V [4]	-	-	6	-	-	-	mA
t_{of}	output fall time from V_{IHmin} to V_{ILmax}		-	250 [5]	20 × (V_{DD} / 5.5 V) [6]	250 [5]	20 × (V_{DD} / 5.5 V) [6]	120 [7]	ns
t_{SP}	pulse width of spikes that must be suppressed by the input filter		-	-	0	50 [8]	0	50 [8]	ns
I_i	input current each I/O pin	$0.1V_{DD} < V_I < 0.9V_{DDmax}$	-10	+10	-10 [9]	+10 [9]	-10 [9]	+10 [9]	µA
C_i	capacitance for each I/O pin [10]		-	10	-	10	-	10	pF

- جداول زیر برای مد High Speed می‌باشد.

Table 13. Characteristics of the SDAH, SCLH, SDA and SCL bus lines for Hs-mode I^2C-bus devices[1]

Symbol	Parameter	Conditions	C_b = 100 pF (max)		C_b = 400 pF[2]		Unit
			Min	Max	Min	Max	
f_{SCLH}	SCLH clock frequency		0	3.4	0	1.7	MHz
$t_{SU;STA}$	set-up time for a repeated START condition		160	-	160	-	ns
$t_{HD;STA}$	hold time (repeated) START condition		160	-	160	-	ns
t_{LOW}	LOW period of the SCL clock		160	-	320	-	ns
t_{HIGH}	HIGH period of the SCL clock		60	-	120	-	ns
$t_{SU;DAT}$	data set-up time		10	-	10	-	ns
$t_{HD;DAT}$	data hold time		0[3]	70	0[3]	150	ns
t_{rCL}	rise time of SCLH signal		10	40	20	80	ns
t_{rCL1}	rise time of SCLH signal after a repeated START condition and after an acknowledge bit		10	80	20	160	ns
t_{fCL}	fall time of SCLH signal		10	40	20	80	ns
t_{rDA}	rise time of SDAH signal		10	80	20	160	ns
t_{fDA}	fall time of SDAH signal		10	80	20	160	ns
$t_{SU;STO}$	set-up time for STOP condition		160	-	160	-	ns
C_b[2]	capacitive load for each bus line	SDAH and SCLH lines	-	100	-	400	pF
		SDAH + SDA line and SCLH + SCL line	-	400	-	400	pF
V_{nL}	noise margin at the LOW level	for each connected device (including hysteresis)	$0.1V_{DD}$	-	$0.1V_{DD}$	-	V
V_{nH}	noise margin at the HIGH level	for each connected device (including hysteresis)	$0.2V_{DD}$	-	$0.2V_{DD}$	-	V

Table 12. Characteristics of the SDAH, SCLH, SDA and SCL I/O stages for Hs-mode I^2C-bus devices

Symbol	Parameter	Conditions	Hs-mode		Unit
			Min	Max	
V_{IL}	LOW-level input voltage		-0.5	$0.3V_{DD}$[1]	V
V_{IH}	HIGH-level input voltage		$0.7V_{DD}$[1]	$V_{DD} + 0.5$[2]	V
V_{hys}	hysteresis of Schmitt trigger inputs		$0.1V_{DD}$[1]	-	V
V_{OL}	LOW-level output voltage	(open-drain) at 3 mA sink current at SDAH, SDA and SCLH			
		$V_{DD} > 2$ V	0	0.4	V
		$V_{DD} \leq 2$ V	0	$0.2V_{DD}$	V
R_{onL}	transfer gate on resistance for currents between SDA and SDAH or SCL and SCLH	V_{OL} level; I_{OL} = 3 mA	-	50	Ω
R_{onH}[2]	transfer gate on resistance between SDA and SDAH or SCL and SCLH	both signals (SDA and SDAH, or SCL and SCLH) at V_{DD} level	50	-	kΩ
I_{CS}	pull-up current of the SCLH current-source	SCLH output levels between $0.3V_{DD}$ and $0.7V_{DD}$	3	12	mA
t_{rCL}	rise time of SCLH signal	output rise time (current-source enabled) with an external pull-up current source of 3 mA			
		capacitive load from 10 pF to 100 pF	10	40	ns
		capacitive load of 400 pF[3]	20	80	ns
t_{fCL}	fall time of SCLH signal	output fall time (current-source enabled) with an external pull-up current source of 3 mA			
		capacitive load from 10 pF to 100 pF	10	40	ns
		capacitive load of 400 pF[3]	20	80	ns
t_{fDA}	fall time of SDAH signal	capacitive load from 10 pF to 100 pF	10	80	ns
		capacitive load of 400 pF[3]	20	160	ns
t_{SP}	pulse width of spikes that must be suppressed by the input filter	SDAH and SCLH	0	10	ns
I_i[4]	input current each I/O pin	input voltage between $0.1V_{DD}$ and $0.9V_{DD}$	-	10	µA
C_i	capacitance for each I/O pin[5]		-	10	pF

همانطور که در بالا اشاره شد این جداول هنگامی اهمیت می یابد که شما بخواهید این پروتکل و باس را در FPGA یا کاملا نرم افزاری پیاده سازی کنید.

جمع بندی

در این مطلب به معرفی و بررسی ارتباط سریال دو سیمه I2C پرداخته شد و نکات ابتدایی و اصول آن ذکر گردید. در مطالب بعدی به موارد باقی مانده و نحوه ارتباط با ایسی AT24Cxx که یک حافظه EEPROM می‌باشد پرداخته خواهد شد.

امیدوارم از این مطلب کمال بهره را برده باشید. در صورت داشتن هرگونه نظر یا سوال درباره این مطلب یا تجربه مشابه اون رو در انتهای همین صفحه در قسمت دیدگاه ها قرار بدید. در کوتاه ترین زمان ممکن به اون ها پاسخ خواهم داد. اگر این مطلب براتون مفید بود، اون رو به اشتراک بگذارید تا سایر دوستان هم بتوانند استفاده کنند. همینطور میتونید این مطلب را توی اینستاگرام با هشتگ #microelecom به اشتراک بگذارید و پیج مایکروالکام (@microelecom) رو هم منشن کنید.