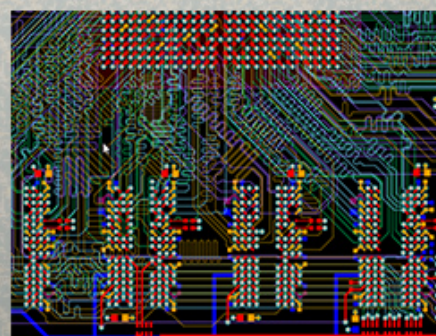
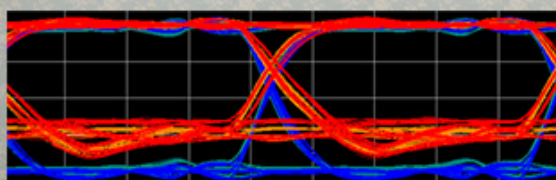




صفر تا صد حافظه پرسرعت DDR (اصول، طراحی و شبیه سازی) _ قسمت دوم

صفر تا صد حافظه های پرسرعت DDR (اصول، طراحی و شبیه سازی)



<https://blog.microele.com>



 hosein-movahedian-attar

تاریخ انتشار ۲۳ بهمن، ۱۴۰۰ توسط حسین موحدیان عطار

سلام به همه همراهان **مایکروالکام**. همون طور که در **ابتدای بخش قبل** گفتم، این مباحث طولانی و بسیار پیوسته هستند. لذا دنبال کردن مطالب تا رسیدن به آخرین نقطه طراحی و شبیه سازی مجموعه حافظه DDR در نرم افزار Hyperlynx، صبر زیادی می‌طلبد. البته بسیار هم شیرین هست. پس با من تا انتهای مطلب همراه باشید. همچنین شما میتونید سایر مطالب من رو از **این لینک** و یا آدرس LinkedIn من مطالعه و مورد نقد و بررسی قرار بدید. خوشحال می



شم هم از طریق Comment ذیل این پست و هم از طریق Email و [Linkedin](#) با من در ارتباط باشید.

ادامه ساختار داخلی DDR، قوانین طراحی شماتیک DDR و اتصال آن به FPGA

در **بخش قبل**، مقدماتی در مورد ساختار داخلی و فرمول های محاسباتی لازم در شبیه سازی DDR ها پرداخته شد. در این بخش، به بررسی ساختار حافظه DDR، دسته سیگنال های خروجی آن، ارتباط این سیگنال ها با یکدیگر و نحوه اتصال آن ها به کنترل کننده حافظه (علی الخصوص FPGA ها) بررسی شده و ملزومات آن بیان می شود. بعد از مطالعه این بخش، شما قادر به طراحی صحیح شماتیک پروتکل ارتباطی DDR خواهید بود.

تفاوت DDR3 و DDR4

تفاوت بین DDR3 و DDR4 در ولتاژ کاری، فرکانس کاری و توان مصرفی بوده (که در بخش قبل مفصلاً به آن پرداخته بودم و پیشنهاد می کنم آن را مطالعه کنید) و عملاً تفاوتی در پیکربندی این دو ساختار وجود ندارد. لذا (بجز در مواردی که تفاوت بنیادین در پیکربندی، اتصالات سخت افزاری و قوانین وجود دارد و به آن اشاره شده است)، می توان قوانین و ساختار مشابهی را اتخاذ نمود.

ساختار داخلی حافظه DDR در سطح Block Diagram

برای درک بهتر اندازه حافظه و انتخاب قطعه حافظه مناسب، لازم است ساختار داخلی SDRAM DDR را بشناسیم. در شکل زیر ساختار DDR (در یکی از معمول ترین حالات 4X) مشاهده می کنید. همین طور که می بینید، آدرس و Command به صورت یک باس به تمام گروه بانک ها داده می شود. در عوض داده ها از هر گروه بانک به صورت جداگانه بر روی باس داده قرار داده می شوند.

خواندن و نوشتن در حافظه

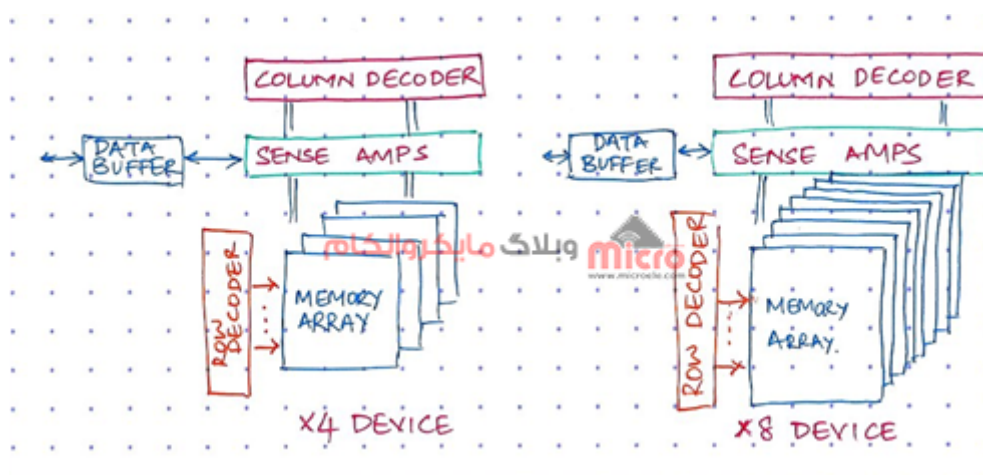
برای خواندن حافظه، یک آدرس فراهم می کنیم و برای نوشتن بر روی آن از آدرس جداگانه ای استفاده می کنیم. این آدرس فراهم شده توسط کاربر را در اصطلاح آدرس محلی (Local Address) می گوئیم. آدرس محلی در لایه فیزیکی تبدیل



به آدرس گروه بانک، بانک، سطر و ستون می‌گردد که به آن در اصطلاح آدرس فیزیکی (Physical Address) می‌گوییم. این آدرس است که در واقع مشخص‌کننده منطقه‌ای از حافظه است که می‌خواهیم آن را بخوانیم یا روی آن بنویسیم. این ساختار در شکل زیر قابل مشاهده است.

این چیزی است که در هر بانک می‌بینیم:

- منطقه حافظه بانک (Memory Arrays)
- تشخیص اختصاص دهنده ردیف (Row Decoder)
- تشخیص اختصاص دهنده ستون (Column Decoder)
- تقویت‌کننده تشخیص (Sense Amplifiers)



طرح ساده شده بخش حافظه در ساختار کلی DDR4

برخی توضیحات

DDR, DDR2, DDR3 و حافظه DDR4 با ظرفیتی در محدوده 2~16 GB به 2 ساختار دسته بندی می‌شود. در فرایند خواندن، بخش تشخیص ردیف در آدرس فیزیکی، آن ردیف از حافظه که مورد نظر کاربر است را هدف قرار می‌دهد و فعال می‌کند. این ردیف را خط کلمه (word Line) می‌گوییم. فعال‌سازی آن سبب خواندن این سطر و قراردادن آن در بخش تقویت‌کننده تشخیص می‌شود. سپس بخش Column Decoder، قسمت مورد نظر از word Line که در بخش Sense Amplifiers قرار گرفته را می‌خواند.

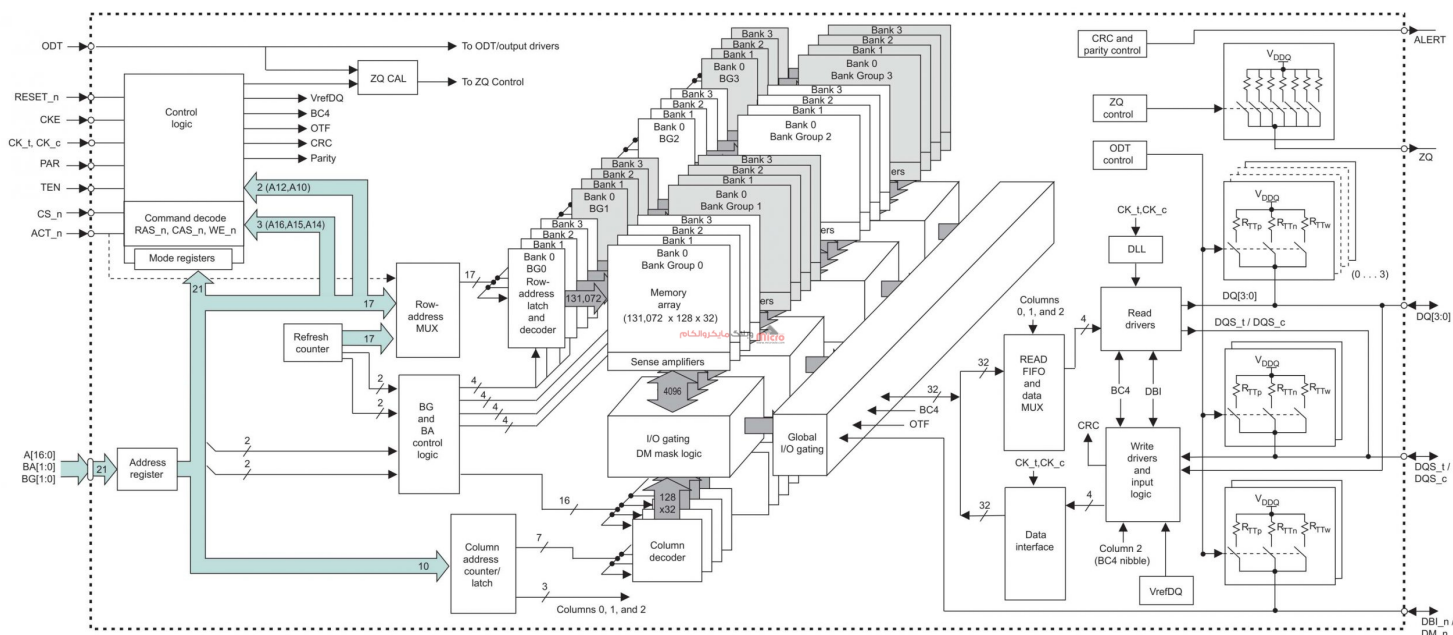


عرض ستون را bit Line می‌گوییم. این bit Line استاندارد دارد که X4، X8 و X16 را تشکیل می‌دهد که مشخص‌کننده bit Line با عرض 4bit و 8bit و 16bit است. عرض داده DQ هم به اندازه عرض bit Line است. لذا می‌توان به بیان ساده‌تر گفت که عرض DDR به اندازه عرض باس DQ است.

- ساختار X16 شامل 2 عدد گروه بانک است که هریک دارای 4 عدد بانک می‌باشد.
- ساختار X4 و X8 شامل 4 عدد گروه بانک است که هریک شامل 4 عدد بانک می‌باشد.

بررسی دو ساختار مطرح شده

در زیر به بررسی این دو ساختار و تفاوت بین آن‌ها می‌پردازیم. در شکل زیر یک نمونه حافظه 8Gb (2 Gig X4) را مشاهده می‌کنید. همان‌طور که دیده می‌شود، 4 خط DQ وجود دارد که می‌توان گفت عرض DDR4 زیر 4 است یا به عبارتی این DDR از نوع X4 است و چون حجم آن در برگیرنده اطلاعات قطعه برابر با 8Gb ذکر شده‌است، لذا هر گروه بانک دارای حجم 2Gb است. ضمناً همان‌طور که دیده می‌شود، تعداد زوج DQS-n/p هم برابر با 1 بوده که برای تنها Byte Lane با عرض 4 خارج‌شده از حافظه می‌باشد.

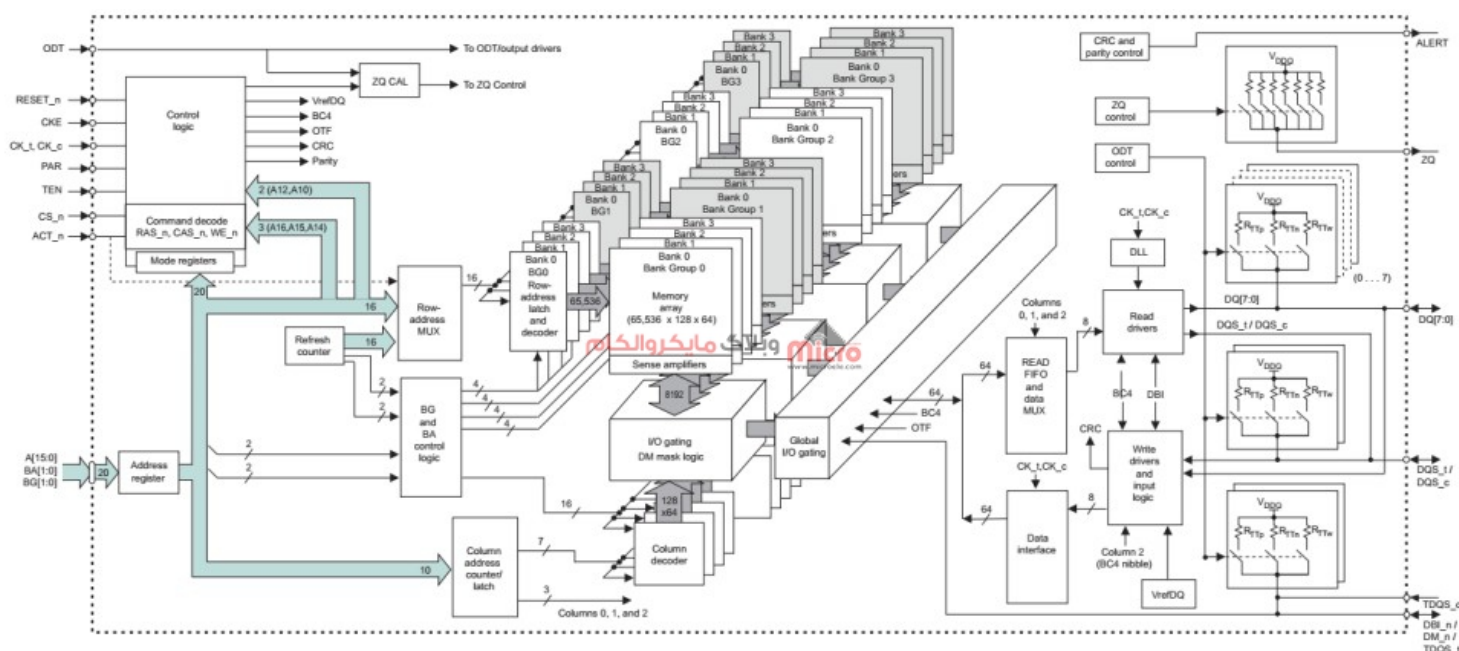


نمونه‌ای از ساختار X4 در حافظه DDR4



بررسی یک حافظه 8Gb

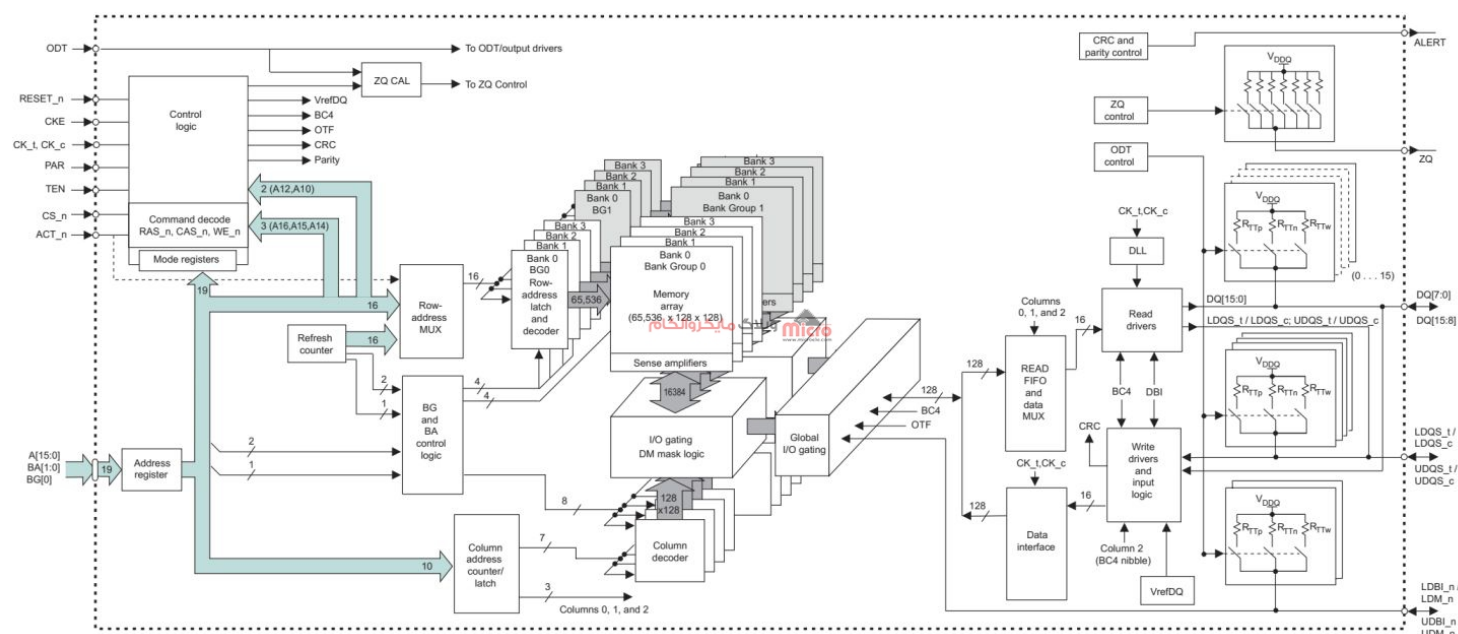
در شکل زیر یک نمونه حافظه 8Gb (1 Gig X8) را مشاهده می‌کنید. همان‌طور که دیده می‌شود، 8 خط DQ وجود دارد که می‌توان گفت عرض DDR زیر 8 است. به عبارتی این DDR4 از نوع X8 است و چون حجم آن در برگه اطلاعات قطعه برابر با 8Gb ذکر شده است، لذا هر گروه بانک دارای حجم 1Gb است. همان‌طور که دیده می‌شود، تعداد زوج DQS-n/p برابر با 1 است که برای یک Byte Lane با عرض 8 خارج شده از حافظه می‌باشد.



نمونه‌ای از ساختار X8 در حافظه DDR4

بررسی یک حافظه 8Gb دیگر

در شکل زیر یک نمونه حافظه 8Gb (512 Meg X16) را مشاهده می‌کنید. همان‌طور که دیده می‌شود، 16 خط DQ وجود دارد که می‌توان گفت عرض DDR زیر 16 است یا به عبارتی این DDR از نوع X16 است و چون حجم آن در برگه اطلاعات قطعه برابر با 8Gb ذکر شده است، لذا هر گروه بانک دارای حجم 256Meg است. ضمناً همان‌طور که دیده می‌شود، تعداد زوج DQS-n/p هم برابر با 2 بوده که برای دو Byte Lane با عرض 8 خارج شده از حافظه می‌باشد.



نمونه‌ای از ساختار X16 در حافظه DDR4

با توجه با موارد ذکر شده در مورد ساختار پایه‌ها و ارتباط بین آن‌ها، دسته‌بندی فیزیکی سیگنال‌هایی که در PCB و شماتیک در یک گروه قرار می‌گیرند به صورت زیر است:

- دسته داده‌های موجود در هر Byte Lane؛ شامل DQ ها و DQS-n/p آن Byte Lane بخصوص
- دسته آدرس و Command و کنترل: شامل تمام خطوط آدرس، WE, CAS, RAS, CLK-p/n, CLE, ACT_B, TEN, PAR, CS و RESET, ODT

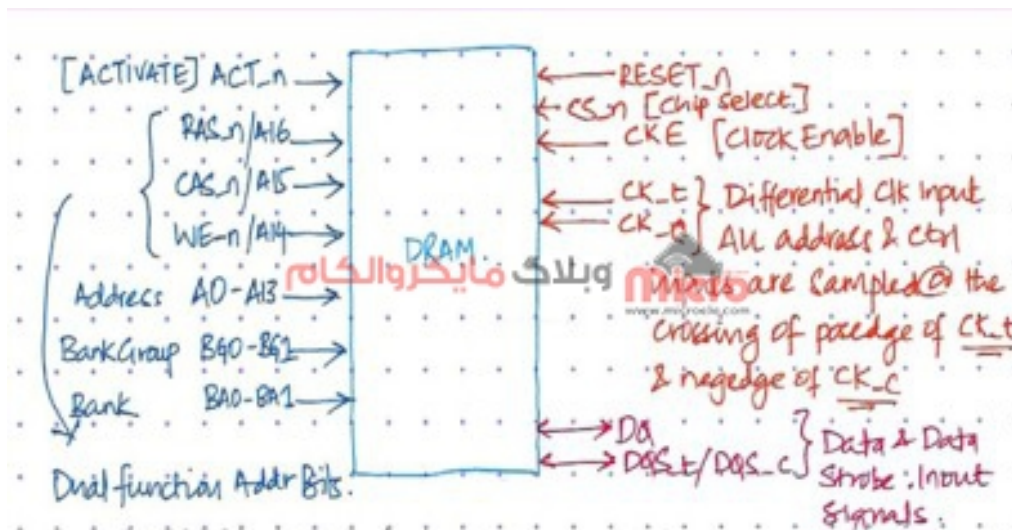
ساختار پایه‌ها و کاربرد آن‌ها در DDR

حافظه‌های DDR4 دارای بانک‌های حافظه هستند که هر چند عدد از این بانک‌ها را در یک گروه_بانک (Bank-Group) قرار می‌دهند. این قابلیت به حافظه‌های DDR کمک می‌کند که خواندن، نوشتن و Refresh را بطور جداگانه در هر دسته از گروه_بانک‌ها مستقلاً انجام دهند. این قابلیت پهنای بانک و بازدهی حافظه را افزایش می‌دهد.

آگاهی در مورد سیگنال‌هایی که خصوصیات مشترک و روابط بین آن‌ها، الزامات سخت‌افزاری (مثل Net list و Length matching) را به طراحی شماتیک تحمیل می‌کنند، ضروری است لذا در اینجا به برخی از پایه‌ها و کاربرد آن‌ها در حافظه



می‌پردازیم. این پایه‌ها کامل نیستند ولی غالب سیگنال‌هایی را که در حافظه مشاهده می‌کنید را شامل می‌شوند. در شکل زیر برخی سیگنال‌های مشترک در حافظه DDR را مشاهده می‌کنید.



خلاصه سیگنال‌های متصل به DDR4

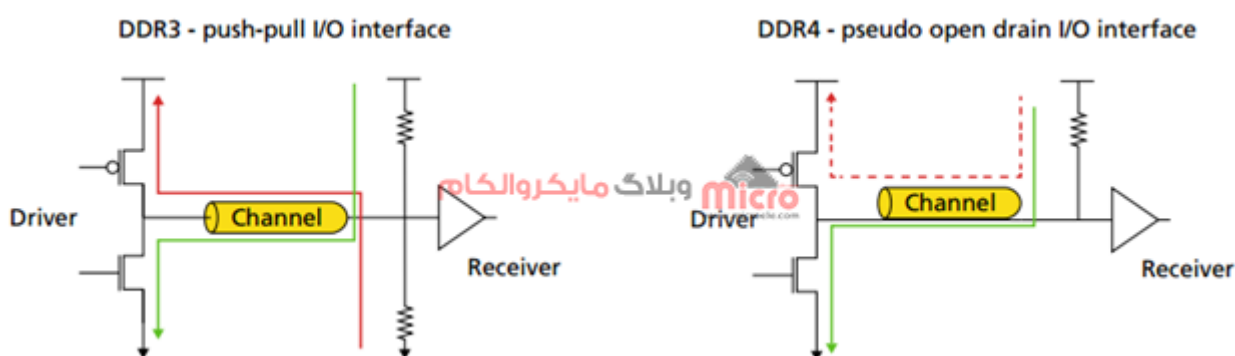
همچنین در جدول زیر توضیحات و عملکرد این پایه‌ها شرح داده شده است.

Function	Type	Symbol
DRAM تنها زمانی ACTIVE است که این پایه High باشد.	Input	Reset-n
DRAM تنها زمانی به سایر پایه‌های خود نگاه می‌کند که این پایه LOW باشد.	Input	CS-n
Clock Enable	Input	CKE
Differential clock inputs کلاک دیفرانسیلی ورودی، پایه‌ای که تمام سیگنال‌های آدرس و کنترل، برای سنکرون بودن، با لبه بالا رونده آن (CK-t) و لبه پایین رونده (CK-c) کار می‌کنند.	Input	CK-t/CK-c
پایه‌های باس داده و پایه‌های سیگنال DQS که در واقع سیگنال data strobe است. DDR و DDR2 دارای DQS تک مسیره هستند. ولی DDR3 و DDR4 دارای differential data strobes هستند که کار کلی آن کاهش نویز سوپچینگ همزمانی و بهبود crosstalk سیگنال‌های خروجی و ورودی حافظه می‌باشد که این کار را با بهبود Timing انجام می‌دهد.	Inout	DQ/DQS
پایه‌های دو کاربرده در DDR4 زمانی که ACT-n و CS-n پایین هستند، این پایه‌ها در حالت بیت‌هایی از آدرس قرار می‌گیرند. زمانی که ACT-n بالا باشند، این سیگنال‌ها به عنوان Command بکار گرفته می‌شوند و کاربرد اصلی آن‌ها در فرایند خواندن و نوشتن و سایر Command ها است. در DDR4 پایه‌های CAS#, RAS# و WE با پایه‌های Address به صورت Share در آمده‌اند.	Input	RAS-n/A16 CAS-n/A15 WE-n/A14
پایه فعال‌ساز Command	Input	ACT-n
پایه‌های انتخاب گروه بانک و آدرس بانک	Input	BG0-1 BA0-1
ورودی‌های آدرس	Input	A0-13



برخی ویژگی‌های حافظه DDR3 و DDR4

- فرکانس کلاک DDR3 در حدود 400MHz-1066MHz و نرخ انتقال داده آن در حدود 800MT/s-2133MT/s است.
- فرکانس کلاک DDR4 در حدود 800MHz-2400MHz و نرخ انتقال داده آن در حدود 1600MT/s-3200MT/s است.
- ولتاژ کاری DDR4 در محدود 2V است.
- ولتاژ کاری DDR4 در محدود 5V است.
- DDR4 از یک IO Interface جدید تحت عنوان Pseudo Open Drain 1.2V (POD12) استفاده می‌کند این اینترفیس هم مصرف توان را کاهش داده و هم SI را بهبود می‌بخشد (منظور از SI همان Signal Integrity است که در بخش‌های شبیه سازی در آینده در مورد آن صحبت می‌کنیم). شکل زیر تفاوت Push-pull IO را برای DDR3 و DDR4 با هم مقایسه می‌کند.



تفاوت Push pull IO را برای DDR3 و DDR4

- DDR4 ها دارای دو مد برای built-in error detection می‌باشند.
- Cyclic redundancy cycle (CRC) که برای داده استفاده می‌شود.
- Parity checking که برای آدرس و Command استفاده می‌شود.
- برای اینکه مباحث Signal Integrity رعایت شود باید خطوط ADDR/CMD/CTRL با توپولوژی Fly-By در PCB روت شوند (بطور کلی سه توپولوژی یا ساختار در طراحی PCB و شماتیک DDR ها وجود دارد: Fly-By، Clam-Shel و T-Topology. این سه ساختار و تفاوت‌های آن‌ها در بخش سوم توضیح داده خواهد شد). البته این روش سبب ایجاد Skew بین کلاک و DQS می‌شود که با استفاده از Write Leveling در DDR4 مرتفع خواهد شد. DDR3



DDR4ها دو خط کلاک دارند که برای کلاک address و command به حافظه داده می‌شود.

- علاوه براین، حافظه از این کلاک برای تولید سیگنال DQS در DLL استفاده می‌کند.
- DDR2, DDR3 و DDR4 دارای پایه‌های command به نام‌های #CS و #WE, #CAS, #RAS هستند. بعضی ساختارهای خاص DDR3 دارای پایه‌های #ERR_OUT, (1.5V LVCMOS I/O standard), #PAR_IN, #RESET (SSTL-15 I/O standard) هستند.
- DDR4 پایه‌های اضافی نسبت به خانواده‌های قبلی به نام‌های pin (activate) #ACT و BG (bank group) دارد. بسته به ساختار حافظه و کاربرد آن، پایه‌های address command parity (PAR) و #ALERT نیز می‌توانند در آن موجود باشند.
- بسته به عرض Interface برقرار شده، سیگنال DQS می‌تواند در گروه‌های X4 و X8 (بسته به نوع حافظه و نوع DIMM) عمل کند. پیکربندی X4 و X8 برای Capture داده ورودی از یک زوج دیفرانسیلی DQS و DQS-n استفاده می‌کند. لذا برای ساختارهای 16X نیاز به زوج دیفرانسیلی UDQS-p و USQS-n (برای بایت بالایی) و زوج دیفرانسیلی LDQS-p و LSQS-n (برای بایت پایینی) است.
- سیگنال DQ در هنگام خواندن از حافظه، با لبه سیگنال‌های DQS همراستا شده‌اند و در هنگام نوشتن در حافظه نیز با مرکز آن همراستا شده‌اند. همراستایی با مرکز که ذکر شد، با شیفِت -90 درجه‌ای سیگنال DQS توسط حافظه انجام می‌شود.
- حافظه، زمان‌های (setup Tds و hold Tdh) را برای همراستایی سیگنال‌های DQ و DM براساس لبه سیگنال DQS تنظیم می‌کند.
- SDRAM از سیگنال DM در حین نوشتن استفاده می‌کند پایین‌کشیدن این پایه به معنی این است که نوشتن روی SDRAM مورد قبول است. SDRAM در صورتی که سیگنال DM بالا نگه داشته‌شده باشد، سیگنال DQ را MASK می‌کند. جهت تولید سیگنال DM توصیه می‌شود که از سیگنال DQ در یک گروه با DQS استفاده شود تا Skew به حداقل خود برسد.
- در DDR4 همچون سایر SDRAMها، DM پشتیبانی می‌شود؛ با این تفاوت که در DDR4 سیگنال DM به صورت active LOW و bidirectional است؛ چراکه از DBI (Data Bus Inversion) به وسیله همان پایه پشتیبانی می‌کند. DBI با DM مالتیپلکس شده‌اند و به همین دلیل امکان استفاده از هر دو به صورت همزمان نیست. لذا DBI دقیقاً معکوس DM عمل می‌کند و زمانی که LOW است، در هنگام نوشتن بر روی حافظه، داده Invert شده و در DDR4 ذخیره می‌گردد و اگر DBI به صورت High باشد، داده Invert نمی‌شود و به صورت مستقیم در DDR4 ذخیره می‌گردد (در مورد DBI در بخش اول بطور مفصل توضیح داده شده است).
- سیگنال‌های ECC (error correction coding) در برخی از DDR4های 72-bit تعبیه شده‌اند که نسبت به حافظه‌های 64-bit، پایه‌های اضافی دارند و کاربرد آن پایه‌های اضافی اصلاح خطا در ارسال داده است. پایه‌های هشت‌گانه



- ECC اضافی این SDRAM ها باید به گروه DQS یا DQ موجود single بر روی FPGA وصل شوند.
- با بررسی ارتباط بین این پایه‌ها مشخص است که این پایه‌ها از نظر ویژگی‌های سخت‌افزاری (اندازه و ابعاد track های متصل به آن‌ها و دیگر مسائل فیزیکی) در یک دسته قرار می‌گیرند. این دسته‌بندی در این مستند با نام دسته‌بندی فیزیکی شناخته می‌شود. در ادامه دسته‌بندی‌های فیزیکی پایه‌ها به تفکیک بیان می‌شود.

قوانین اتصال DDR3 و DDR4 به FPGA

برای اتصال پایه‌های DDR4 به FPGA باید قوانین خاصی را رعایت نمود.

- منظور از Address/Control/Command، سیگنال‌های CS-n, RAS-n, CAS-n, WE-n, ba, bg, CLK-n/p, CKE, ODT, ACT-n و PAR می‌باشند.
- پایه‌های موجود در یک Byte lane در FPGA بصورت N0 تا N12 شماره‌گذاری می‌شوند. در هر بانک موجود در FPGA، تعداد 4 عدد Byte Lane تحت عنوان T0~T3 وجود دارد. لازم به ذکر است که هر Byte Lane به دو بخش بالایی و پایینی تحت عنوان L و U تقسیم می‌گردد (6). T0L, T0U عدد TL و 7 عدد TU که در هر دو بخش دو تا از پایه‌ها مربوط به DBC می‌باشند.

این قانون‌ها بشرح زیر است

- در ساختارهای DDR3 و DDR4 که به صورت X8 و X16 هستند، سیگنال DQSn/p باید به زوج کلاک موجود در Byte Lane تراشه FPGA، در قسمت U (یعنی پایه‌های N6 و N7) قرارگیرد (در کلیه تراشه‌های Ultra Scale، این پایه‌ها چه از نوع DBC باشد و چه از نوع QBC، این اصل صادق است). همچنین سیگنال‌های DQ تراشه DDR4 متناظر با همان DQSn/p، باید در همان Byte Lane در پایه‌هایی غیر از N1 و N12 قرار گیرند.
- در ساختارهای DDR4 که به صورت X16 هستند، سیگنال DQSn/p یک قانون جدید وجود دارد (که برای DDR3 وجود ندارد) و آن این که اگر LDQDn/p و UDQSn/p روی تراشه حافظه با ساختار X16 داشته باشیم، LDQSn/p ها به پایه‌های DQS زوج و UDQSn/p ها به پایه‌های DQS فرد وصل می‌شوند. یعنی مثلاً اگر دو تراشه DDR4 با ساختار X16 داشتیم که LDQDn/p و UDQSn/p داشتند، و خواستیم به بانک صفر وصلشان کنیم، LDQSn/p تراشه اول به UDQSn/p، DQS0n/p تراشه اول به LDQSn/p، DQS1n/p تراشه دوم به DQS2n/p و در نهایت UDQSn/p تراشه دوم به DQS3n/p وصل می‌کنیم. داده‌های DQ هر کدام از DQS ها را نیز به همین ترتیب وصل می‌کنیم.



مثلا در شکل زیر، می‌توان این پیکربندی را دید.

نام‌گذاری پایه‌های FPGA در یک Byte Lane نیپل‌های بالا (U) و پایین (L) در هر Byte Lane

DDR4 D7	BC29	IO_L7N_T1L_N1_DBC_AD13N_44
DDR4 D6	BD29	IO_L6P_T0U_N10_AD6P_44
DDR4 D1	BD33	IO_L6N_T0U_N11_AD6N_44
DDR4 D0	BE33	IO_L5P_T0U_N8_AD14P_44
		IO_L5N_T0U_N9_AD14N_44
DDR4 DQS0 P	BD30	IO_L4P_T0U_N6_DBC_AD7P_44
DDR4 DQS0 N	BD31	IO_L4N_T0U_N7_DBC_AD7N_44
DDR4 D5	BE30	IO_L3P_T0L_N4_AD15P_44
DDR4 D2	BF30	IO_L3N_T0L_N5_AD15N_44
DDR4 D4	BE31	IO_L2P_T0L_N2_44
DDR4 D3	BE32	IO_L2N_T0L_N3_44
DDR4 DM0	BF32	IO_L1P_T0L_N0_DBC_44
DDR4 TEN	BF33	IO_L1N_T0L_N1_DBC_44

زوج دیفرانسیل DQSn/p که به زوج دیفرانسیل N6 و N7 موجود در Byte Lane شماره صفر FPGA وصل شده است.

نمایش زوج دیفرانسیل DQSn/p و نحوه اتصال آن به DDR4 در FPGA و نام‌گذاری پایه‌ها در Byte Lane

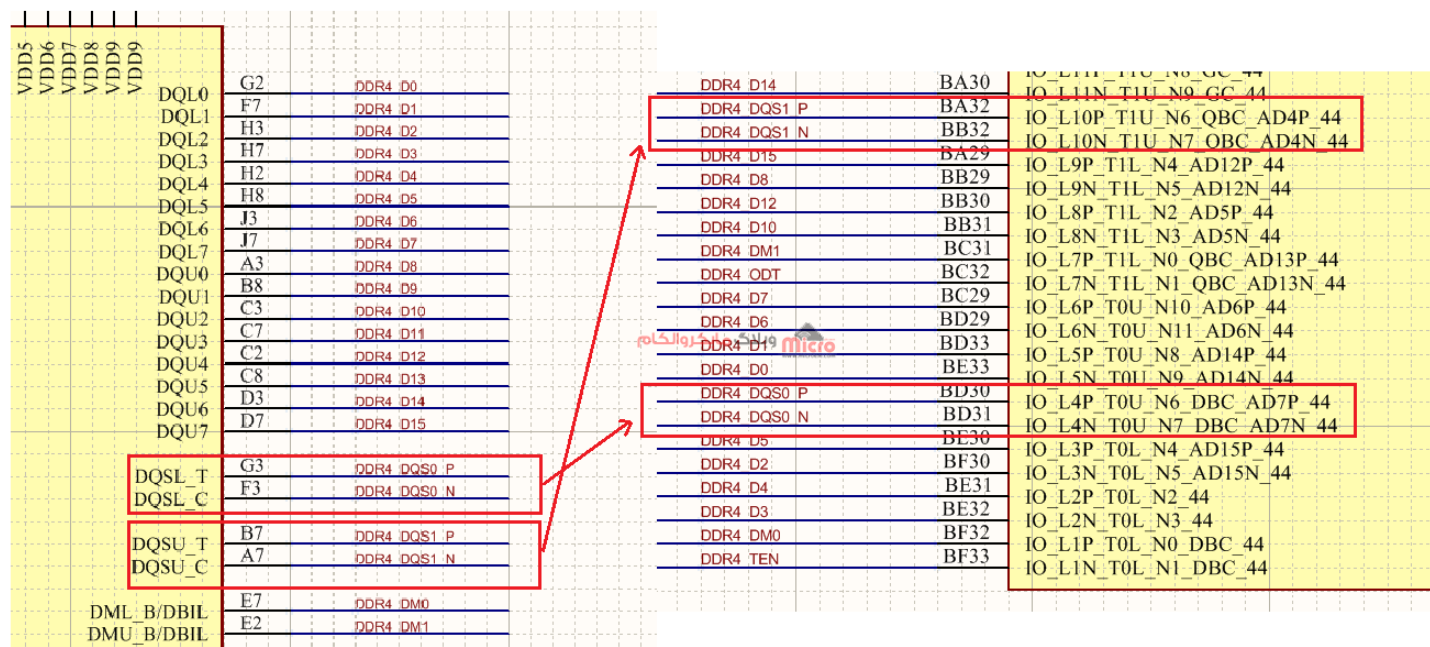
- سیگنال DM/DBI باید به پایه N0 در Byte Lane متناظر متصل گردد.
- سیگنال‌های DQS در تراشه‌های DDR4 با ساختار 16X، برای باس با چند تراشه DDR4، باید به این ترتیب وصل شوند:

- زوج DQSLn/p تراشه DDR4 شماره یک، به DQS0n/p
- زوج DQSun/p تراشه DDR4 شماره یک، به DQS1n/p
- زوج DQSLn/p تراشه DDR4 شماره دو، به DQS2n/p
- زوج DQSun/p تراشه DDR4 شماره دو، به DQS3n/p
- زوج DQSLn/p تراشه DDR4 شماره سه، به DQS4n/p
- زوج DQSun/p تراشه DDR4 شماره سه، به DQS5n/p

و به همین ترتیب ادامه پیدا می‌کند. در شکل زیر، برای یک تراشه موجود در باس با ساختار



Fly By این اتصال را مشاهده می کنید.



روش اتصال خطوط DQS0/p از تراشه های DDR4 در ساختار باس، به FPGA

برخی توضیحات

این موضوع محل قرارگیری فیزیکی Byte Lane ها را محدود نمی کند. Byte Lane ها بسته به روتینگ ساده تر در PCB می توانند به همراه DQS0/p مربوط به خود جابجا شوند. اگر برای تراشه 16X با خط داده 32 بیتی بخواهیم یک نقشه اتصال پایه به یک بانک خاص از FPGA در نظر بگیریم، می توانیم مطابق جدول زیر عمل کنیم.

Memory Device Mapping	Allocated DQS (in IP on FPGA)	Selected Memory Data Bytes	Bank-Byte
Memory Device 0 - LDQS	DQS0	[DQ[0-7	BankX_BYTE3
Memory Device 0 - UDQS	DQS1	[DQ[8-15	BankX_BYTE2
Memory Device 1 - LDQS	DQS2	[DQ[16-23	BankX_BYTE1
Memory Device 1 - UDQS	DQS3	[DQ[24-31	BankX_BYTE0



- بطور کلی در ساختار X16، سیگنال‌های DQSL، DQL و DML به یک Byte Lane متصل شده و DQSH، DQH و DMH به Byte Lane بعدی وصل می‌گردد.
- پایه‌های N1 و N12 می‌توانند به عنوان Addr/Ctrl استفاده شوند.
- هیچ‌یک از پایه‌های داده (DQ، DQS، DM) نباید در Byte Lane ای قرار گیرند که در آن سیگنال‌های Addr/Ctrl وجود دارد.
- DM های مربوط به هر Byte Lane تراشه DDR، باید به پایه N0 موجود در Byte Lane تراشه FPGA قرار گیرد که بقیه ی پایه‌های Byte Lane تراشه DDR در آن واقع است. دقت شود که در ساختار X4 پایه DM استفاده نمی‌شود و باید پایه آن بر روی تراشه DDR با مقاومتی برابر با مقاومت Trace های DQ (که عموماً بین 40 تا 50 اهم است)، به زمین متصل گردد.
- برای DDR هایی با ساختارهای مبتنی بر X4، پایه‌های DQS تراشه‌های حافظه باید به همراه پایه‌های DQ چهار گانه داده خود قرار گیرند. محل قرارگیری آن‌ها در بانک FPGA نیز برای Nibble پایین، پایه‌های N0 و N1 هر Byte Lane و برای Nibble بالا، پایه‌های N6 و N7 هر Byte Lane تراشه FPGA است. نکته مهم این است که Nibble بالا و پایین، در یک Byte Lane از FPGA واقع شوند و ترتیب آن‌ها هم به این صورت باشد که Nibble بالا به Nibble بالا و Nibble پایین به Nibble پایین Byte Lane وصل گردد.
- برای DDR های مبتنی بر ساختار X8 و X16، پایه‌های DQS تراشه های حافظه باید به همراه پایه‌های هشت گانه DQ داده خود قرار گیرند. محل قرارگیری آن‌ها در بانک FPGA نیز پایه‌های N6 و N7 هر Byte Lane تراشه FPGA است.
- تراشه‌های X4 باید به صورت زوج مورد استفاده قرار گیرند و استفاده تعداد فرد آن امکان پذیر نیست.
- پایه‌های Addr/Ctrl باید حتماً در یک بانک قرار گیرند.
- پایه VRP که برای DCI استفاده می‌شود باید با استفاده از مقاومت 240 اهم به زمین متصل شود (این امر برای تراشه‌های Ultra Scale برقرار بوده و برای سایر خانواده‌ها باید مورد بررسی قرار گیرد).
- پایه CK از DDR4 باید به پایه‌های DBC یا QBC از Byte Lane بالایی متصل شود (باید به بانکی وصل شود که برای آدرس و کنترل استفاده شده است).
- پایه reset-n می‌تواند به هریک از بانک‌های مختص به DDR4 متصل گردد.
- یک بانک می‌تواند بین دو کنترلر به صورت مشترک استفاده شود ولی هر کنترلر باید از Byte Lane مختص خود استفاده نماید.
- همه IO Bank های استفاده شده برای DDR4 باید در یک ستون (در ساختار داخلی FPGA) قرار داشته باشند.
- پایه‌های DDR4 باید حتماً به بانک‌های متوالی (در ساختار داخلی FPGA) متصل باشند.



بیانی دیگر

به طور خلاصه دو مورد سابق بدین معنی است که همه IO Bank های استفاده شده برای DDR4 باید "مجاور" باشند. در مورد DDR4 برای مجاورت تعریف کمی خصوصی‌تر نیز می‌گردد و در بانک‌های مورد استفاده برای DDR4 باید به صورت واقعی (عددی) هم مجاور بوده و Super Logic ای بین آن‌ها وجود نداشته باشد. برای اتصال حافظه‌هایی با ساختار 16X و 8X، باید در هر Byte Lane از FPGA، ساختار موجود در جدول زیر رعایت شود.

Signal Name	Pin Number	Byte Lane	I/O Type
-	N12	T0U	-
[DQ[7:0	N11	T0U	N
[DQ[7:0	N10	T0U	P
[DQ[7:0	N9	T0U	N
[DQ[7:0	N8	T0U	P
DQS0_c	N7	T0U	DQSCC-N
DQS0_t	N6	T0U	DQSCC-P
[DQ[7:0	N5	T0L	N
[DQ[7:0	N4	T0L	P
[DQ[7:0	N3	T0L	N
[DQ[7:0	N2	T0L	P
-	N1	T0L	DQSCC-N
DM0/DBI0	N0	T0L	DQSCC-P

اگر بخواهیم پیکربندی پایه‌ها برای هر سه ساختار 16X و 8X و 4X سازگار باشند، باید در هر Byte Lane از FPGA، ساختار موجود در جدول زیر رعایت شود.

Signal Name	Pin Number	Byte Lane	I/O Type
-	N12	T0U	-



Signal Name	Pin Number	Byte Lane	I/O Type
[DQ[3:0	N11	T0U	N
[DQ[3:0	N10	T0U	P
[DQ[3:0	N9	T0U	N
[DQ[3:0	N8	T0U	P
DQS0_c	N7	T0U	DQSCC-N
DQS0_t	N6	T0U	DQSCC-P
[DQ[7:4	N5	T0L	N
[DQ[7:4	N4	T0L	P
[DQ[7:4	N3	T0L	N
[DQ[7:4	N2	T0L	P
DQS9_c/-	N1	T0L	DQSCC-N
DM0/DBI0/DQS9_t	N0	T0L	DQSCC-P

مثالی برای درک بهتر مفهوم مجاورت در بانک های FPGA

برای مثال در زیر برای این که بتوانیم FPGA های FLGB2104 را به جای یکدیگر مونتاژ کنیم (لذا باید بانک های مشترک بین FPGA های دارای این Package انتخاب شود) باید بانک های مورد انتخاب آن از نوع HP باشد (تا تداخل ولتاژی با DDR4 پیدا نکند) و مجاورت این بانک ها در تمام FPGA های این Package نیز رعایت شده باشد.

اگر ساختار X16 را انتخاب کنیم (این بستگی به نوع DDR4 مورد استفاده دارد که در بالا مفصل توضیح داده شد)، برای باس داده DDR4 نیاز به 16 خط داده داریم. چون 4 عدد DDR4 را جهت اتصال به باس با ساختار Fly By انتخاب کرده ایم، لذا نیاز به 64 خط داده برای کل چهار DDR4 داریم. این امر حدود 2.5 بانک از بانک های FPGA را تسخیر می کند. لذا برای اتصال این باس و باس Address/Control، حدود سه عدد بانک از FPGA را نیاز داریم. Package بالا چهار FPGA زیر را در Vertex Ultra Scale + دارا است:

1. XCVU160



2. XCVU190

3. XCVU9P

4. XCVU11P

دسته بانک برای اتصال Fly By

سه دسته بانک برای اتصال Fly By چهار عدد تراشه DDR4 به FPGA انتخاب می شوند و شروط مجاورت که در بالا ذکر شد را در این سه دسته بررسی می کنیم.

1. بانک های 70 و 71 و 72

2. بانک های 44 و 45 و 47

3. بانک های 65 و 66 و 67



GTY Quad 133 X0Y52-X0Y55 S [LN]	CMAC X0Y8	HP I/O Bank 53	HP I/O Bank 73	PCle X0Y4	GTH Quad 233 X0Y52-X0Y55 J [RN]
GTY Quad 132 X0Y45-X0Y51 R [LN]	CMAC X0Y7	HP I/O Bank 52 L	HP I/O Bank 72 O	ILKN X1Y7	GTH Quad 232 X0Y45-X0Y51 I [RN]
GTY Quad 131 X0Y44-X0Y47 Q [LN]	ILKN X0Y6	HP I/O Bank 51 K	HP I/O Bank 71 N	SYSMON Configuration	GTH Quad 231 X0Y44-X0Y47 H [RN] (RCAL)
GTY Quad 130 X0Y40-X0Y43 P [LN] (RCAL)	CMAC X0Y6	HP I/O Bank 50 J	HP I/O Bank 70 M	Configuration	GTH Quad 230 X0Y40-X0Y43 G [RN]
GTY Quad 129 X0Y36-X0Y39 O [LN]	ILKN X0Y5	HP I/O Bank 49	HP I/O Bank 69	PCle X0Y3	GTH Quad 229 X0Y36-X0Y39 F [RN]
SLR Crossing					
GTY Quad 128 X0Y32-X0Y35 N [LS]	CMAC X0Y5	HP I/O Bank 48	HP I/O Bank 68 F (Partial)	PCle X0Y2	GTH Quad 228 X0Y32-X0Y35 E [RS]
GTY Quad 127 X0Y28-X0Y31 M [LS]	CMAC X0Y4	HP I/O Bank 47	HP I/O Bank 67 E	ILKN X1Y4	GTH Quad 227 X0Y28-X0Y31 D [RS]
GTY Quad 126 X0Y24-X0Y27 L [LS]	ILKN X0Y2	HP I/O Bank 46 I	HP I/O Bank 66 D	SYSMON Configuration	GTH Quad 226 X0Y24-X0Y27 C [RS] (RCAL)
GTY Quad 125 X0Y20-X0Y23 K [LS] (RCAL)	CMAC X0Y3	HP I/O Bank 45 H	HP I/O Bank 65 C	Configuration	GTH Quad 225 X0Y20-X0Y23 B [RS]
GTY Quad 124 X0Y16-X0Y19	ILKN X0Y2	HP I/O Bank 44 G	HP I/O Bank 84/94 B	PCle X0Y1 (tandem)	GTH Quad 224 X0Y16-X0Y19 A [RS]
SLR Crossing					
GTY Quad 123 X0Y12-X0Y15	CMAC X0Y2	HP I/O Bank 43	HP I/O Bank 63	PCle X0Y0	GTH Quad 223 X0Y12-X0Y15
GTY Quad 122 X0Y8-X0Y11	CMAC X0Y1	HP I/O Bank 42	HP I/O Bank 62	ILKN X1Y1	GTH Quad 222 X0Y8-X0Y11
GTY Quad 121 X0Y4-X0Y7	ILKN X0Y0	HP I/O Bank 41	HP I/O Bank 61	SYSMON Configuration	GTH Quad 221 X0Y4-X0Y7 (RCAL)
GTY Quad 120 X0Y0-X0Y3 (RCAL)	CMAC X0Y0	HP I/O Bank 40	HP I/O Bank 60	Configuration	GTH Quad 220 X0Y0-X0Y3



مجاورت در باتک‌های *XCVU160* با *FLGB2104* Package



GTY Quad 133 X0Y56-X0Y59 S [LN]	CMAC X0Y8	HP I/O Bank 53	HP I/O Bank 73	PCle X0Y5	GTH Quad 233 X0Y56-X0Y59 J [RN]
GTY Quad 132 X0Y52-X0Y55 R [LN]	CMAC X0Y7	HP I/O Bank 52 L	HP I/O Bank 72 O	ILKN X1Y8	GTH Quad 232 X0Y52-X0Y55 I [RN]
GTY Quad 131 X0Y48-X0Y51 Q [LN]	ILKN X0Y7	HP I/O Bank 51 K	HP I/O Bank 71 N	SYSMON Configuration	GTH Quad 231 X0Y48-X0Y51 H [RN] (RCAL)
GTY Quad 130 X0Y44-X0Y47 P [LN] (RCAL)	CMAC X0Y6	HP I/O Bank 50 J	HP I/O Bank 70 M	Configuration	GTH Quad 230 X0Y44-X0Y47 G [RN]
GTY Quad 129 X0Y40-X0Y43 O [LN]	ILKN X0Y6	HP I/O Bank 49	HP I/O Bank 69	PCle X0Y4	GTH Quad 229 X0Y40-X0Y43 F [RN]
SLR Crossing					
GTY Quad 128 X0Y36-X0Y39 N [LS]	CMAC X0Y5	HP I/O Bank 48	HP I/O Bank 68 F (Partial)	PCle X0Y3	GTH Quad 228 X0Y36-X0Y39 E [RS]
GTY Quad 127 X0Y32-X0Y35 M [LS]	CMAC X0Y4	HP I/O Bank 47	HP I/O Bank 67 E	ILKN X1Y5	GTH Quad 227 X0Y32-X0Y35 D [RS]
GTY Quad 126 X0Y28-X0Y31 L [LS]	ILKN X0Y4	HP I/O Bank 46 I	HP I/O Bank 66 D	SYSMON Configuration	GTH Quad 226 X0Y28-X0Y31 C [RS] (RCAL)
GTY Quad 125 X0Y24-X0Y27 K [LS] (RCAL)	CMAC X0Y3	HP I/O Bank 45 H	HP I/O Bank 65 C	Configuration	GTH Quad 225 X0Y24-X0Y27 B [RS]
GTY Quad 124 X0Y20-X0Y23	ILKN X0Y3	HP I/O Bank 44 G	HP I/O Bank 64/94 B	PCle X0Y2 (tandem)	GTH Quad 224 X0Y20-X0Y23 A [RS]
SLR Crossing					
GTY Quad 123 X0Y16-X0Y19	CMAC X0Y2	HP I/O Bank 43	HP I/O Bank 63	PCle X0Y1	GTH Quad 223 X0Y16-X0Y19
GTY Quad 122 X0Y12-X0Y15	CMAC X0Y1	HP I/O Bank 42	HP I/O Bank 62	ILKN X1Y2	GTH Quad 222 X0Y12-X0Y15
GTY Quad 121 X0Y8-X0Y11	ILKN X0Y1	HP I/O Bank 41	HP I/O Bank 61	SYSMON Configuration	GTH Quad 221 X0Y8-X0Y11 (RCAL)
GTY Quad 120 X0Y4-X0Y7 (RCAL)	CMAC X0Y0	HP I/O Bank 40	HP I/O Bank 60	Configuration	GTH Quad 220 X0Y4-X0Y7
GTY Quad 119 X0Y0-X0Y3	ILKN X0Y0	HP I/O Bank 39	HP I/O Bank 59	PCle X0Y0	GTH Quad 219 X0Y0-X0Y3



مجاورت در بانک‌های *XCVU190* با *Package FLGB2104*



GTY Quad 133 X0Y56-X0Y59	CMAC X0Y8	HP I/O Bank 53	HP I/O Bank 73 Q	ILKN X1Y8	GTY Quad 233 X1Y56-X1Y59 G [RN]
GTY Quad 132 X0Y52-X0Y55	PCIE4 X0Y5	HP I/O Bank 52	HP I/O Bank 72 P	ILKN X1Y7	GTY Quad 232 X1Y52-X1Y55 F [RN]
GTY Quad 131 X0Y48-X0Y51 (RCAL)	CMAC X0Y7	HP I/O Bank 51	HP I/O Bank 71 O	SYSMON Configuration	GTY Quad 231 X1Y48-X1Y51 E [RN] (RCAL)
GTY Quad 130 X0Y44-X0Y47	ILKN X0Y6	HP I/O Bank 50	HP I/O Bank 70 N	Configuration	GTY Quad 230 X1Y44-X1Y47
GTY Quad 129 X0Y40-X0Y43	CMAC X0Y6	HP I/O Bank 49	HP I/O Bank 69	PCIE4 X1Y4	GTY Quad 229 X1Y40-X1Y43
SLR Crossing					
GTY Quad 128 X0Y36-X0Y39	CMAC X0Y5	HP I/O Bank 48 M	HP I/O Bank 68	ILKN X1Y5	GTY Quad 228 X1Y36-X1Y39
GTY Quad 127 X0Y32-X0Y35 M [LN]	PCIE4 X0Y3	HP I/O Bank 47 L	HP I/O Bank 67 E	ILKN X1Y4	GTY Quad 227 X1Y32-X1Y35 D [RS]
GTY Quad 126 X0Y28-X0Y31 L [LN] (RCAL)	CMAC X0Y4	HP I/O Bank 46 K	HP I/O Bank 66	SYSMON Configuration	GTY Quad 226 X1Y28-X1Y31 C [RS] (RCAL)
GTY Quad 125 X0Y24-X0Y27 K [LN]	ILKN X0Y3	HP I/O Bank 45 J	HP I/O Bank 65 C	Configuration	GTY Quad 225 X1Y24-X1Y27 B [RS]
GTY Quad 124 X0Y20-X0Y23	CMAC X0Y3	HP I/O Bank 44	HP I/O Bank 64 B	PCIE4 X1Y2 (tandem)	GTY Quad 224 X1Y20-X1Y23 A [RS]
SLR Crossing					
GTY Quad 123 X0Y16-X0Y19	CMAC X0Y2	HP I/O Bank 43 I	HP I/O Bank 63	ILKN X1Y2	GTY Quad 223 X1Y16-X1Y19
GTY Quad 122 X0Y12-X0Y15 J [LS]	PCIE4 X0Y1	HP I/O Bank 42 H	HP I/O Bank 62	ILKN X1Y1	GTY Quad 222 X1Y12-X1Y15
GTY Quad 121 X0Y8-X0Y11 I [LS] (RCAL)	CMAC X0Y1	HP I/O Bank 41 G	HP I/O Bank 61	SYSMON Configuration	GTY Quad 221 X1Y8-X1Y11 (RCAL)
GTY Quad 120 X0Y4-X0Y7 H [LS]	ILKN X0Y0	HP I/O Bank 40 F	HP I/O Bank 60	Configuration	GTY Quad 220 X1Y4-X1Y7
GTY Quad 119 X0Y0-X0Y3	CMAC X0Y0	HP I/O Bank 39	HP I/O Bank 59	PCIE4 X1Y0	GTY Quad 219 X1Y0-X1Y3



مجاورت در بانک‌های *XCVU9P* با *FLGA2104* Package



GTY Quad 135 X0Y44-X0Y47	CMAC X0Y8	HP I/O Bank 75	ILKN X1Y5	GTY Quad 235 X1Y44-X1Y47
GTY Quad 134 X0Y40-X0Y43	CMAC X0Y7	HP I/O Bank 74 O	SYSMON Configuration	GTY Quad 234 X1Y40-X1Y43
GTY Quad 133 X0Y36-X0Y39 S [LN] (RCAL)	ILKN X0Y4	HP I/O Bank 73 N	Configuration	GTY Quad 233 X1Y36-X1Y39 J [RN] (RCAL)
GTY Quad 132 X0Y32-X0Y35	CMAC X0Y6	HP I/O Bank 72 M	PCIE4 X0Y2	GTY Quad 232 X1Y32-X1Y35 I [RN]
SLR Crossing				
GTY Quad 131 X0Y28-X0Y31 R [LN]	CMAC X0Y5	HP I/O Bank 71 L	ILKN X1Y3	GTY Quad 231 X1Y28-X1Y31 H [RN]
GTY Quad 130 X0Y24-X0Y27 Q [LN]	CMAC X0Y4	HP I/O Bank 70 K	SYSMON Configuration	GTY Quad 230 X1Y24-X1Y27 G [RN]
GTY Quad 129 X0Y20-X0Y23 P [LN] (RCAL)	ILKN X0Y2	HP I/O Bank 69 J	Configuration	GTY Quad 229 X1Y20-X1Y23 F [RN] (RCAL)
GTY Quad 128 X0Y16-X0Y19 O [LN]	CMAC X0Y3	HP I/O Bank 68 G	PCIE4 X0Y1	GTY Quad 228 X1Y16-X1Y19 E [RS]
SLR Crossing				
GTY Quad 127 X0Y12-X0Y15 N [LS]	CMAC X0Y2	HP I/O Bank 67 E	ILKN X1Y1	GTY Quad 227 X1Y12-X1Y15 D [RS]
GTY Quad 126 X0Y8-X0Y11 M [LS]	CMAC X0Y1	HP I/O Bank 66 D	SYSMON Configuration	GTY Quad 226 X1Y8-X1Y11 C [RS]
GTY Quad 125 X0Y4-X0Y7 L [LS] (RCAL)	ILKN X0Y0	HP I/O Bank 65 C	Configuration	GTY Quad 225 X1Y4-X1Y7 B [RS] (RCAL)
GTY Quad 124 X0Y0-X0Y3 K [LS]	CMAC X0Y0	HP I/O Bank 64 B	PCIE4 X0Y0 (tandem)	GTY Quad 224 X1Y0-X1Y3 A [RS]

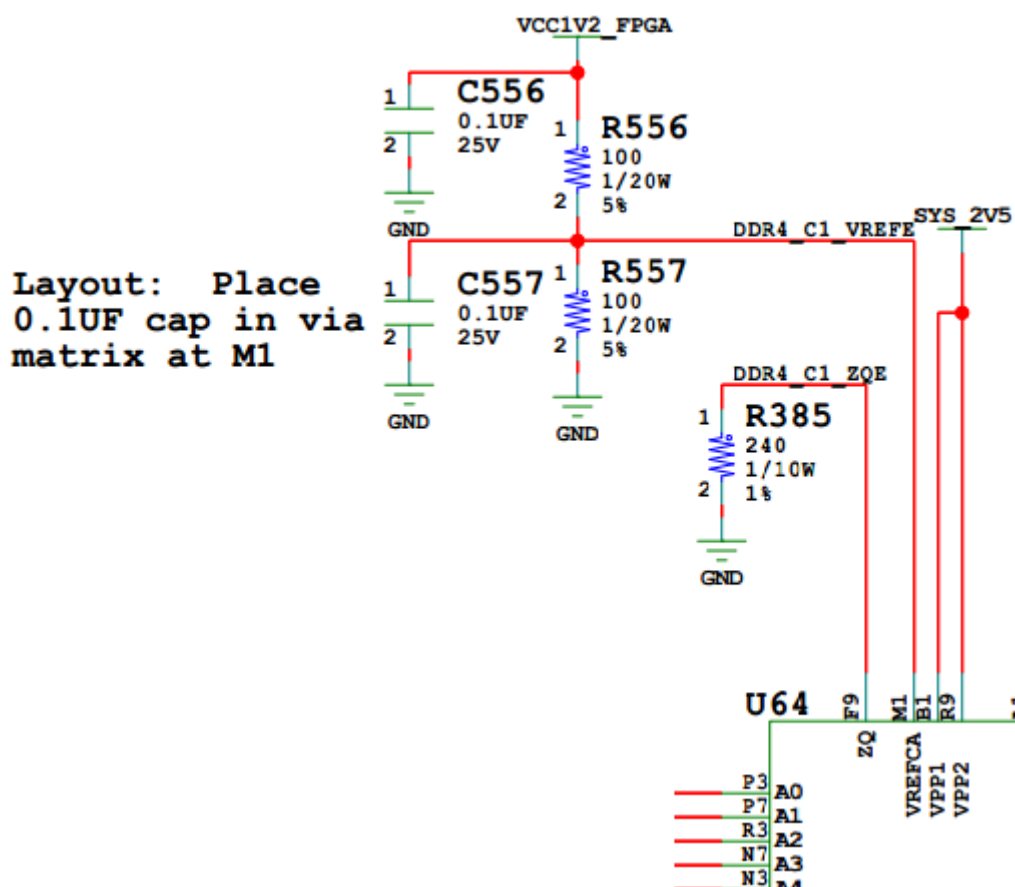


مجاورت در بانک‌های XCVU11P با Package FLGB2104

بیانی دیگر

همان‌طور که دیده می‌شود، بانک‌های 70 و 71 و 72 قابل استفاده نیستند. چرا که در بانک‌های XCVU11P با Super Logic از هم جدا و از مجاورت خارج شده‌اند. همچنین بانک‌های 44 و 45 و 47 علیرغم مجاورت در سایر تراشه‌ها، چون در بانک‌های تراشه XCVU11P موجود نیستند، قابل استفاده نیز نیستند. ولی بانک‌های 65 و 66 و 67 در تمام تراشه‌ها موجود و در تمام آن‌ها نیز سه شرط لازم برای مجاورت را دارند. لذا برای DDR4 با قابلیت تغییر تراشه FPGA قابل استفاده هستند.

- کلاک مرجع برای DDR4 باید به پایه‌های GC از بانکی متصل شوند که برای DDR4 استفاده شده است.
- پایه VREF در بانک‌های مختص به DDR4 باید با استفاده از مقاومت 500 اهم به زمین متصل شوند البته در EVAL از مقاومت 1 کیلو اهم استفاده شده است.
- همه پایه‌های DDR4 حتماً باید به یک نوع بانک متصل شوند مثلاً HR و یا HP البته در مورد کلاک مرجع و reset-n این محدودیت وجود ندارد.
- در EVAL پایه reset-n با استفاده از مقاومت 1 کیلو اهم به زمین متصل شده است.
- در EVAL پایه TEN با استفاده از مقاومت 499 اهم به زمین متصل شده است.
- مطابق شکل cdv در DDR4، پایه VREFCA با استفاده از تقسیم مقاومتی به تغذیه 1.2 ولت متصل می‌شود و پایه ZQ با مقاومت 240 اهم به زمین متصل می‌گردد.



تقسیم مقاومتی متصل به تغذیه VREFCA در حافظه DDR4

جمع بندی

در این مطلب به بررسی قوانین اتصال DDR ها به FPGA پرداخته شد و مباحث مربوط به مجاورت در FPGA ها و ضرورت انتخاب بانک های مجاور را در این کنترلر عمومی و پرکاربرد بیان گردید. در بخش بعدی به بررسی روش انتخاب DDR مناسب و فاکتور های مهم در این انتخاب پرداخته خواهد شد.

امیدوارم از این آموزش کمال بهره را برده باشید. در صورت داشتن هرگونه نظر یا سوال درباره این مطلب یا تجربه مشابه اون رو در انتهای همین صفحه در قسمت دیدگاه ها قرار بدید. در کوتاه ترین زمان ممکن به اون ها پاسخ خواهم داد. اگر این مطلب براتون مفید بود، اون رو به اشتراک بگذارید تا سایر دوستان هم بتوانند استفاده کنند. شما میتونید سایر مطالب من رو از [این لینک](#) و یا آدرس LinkedIn من مطالعه و مورد نقد و بررسی قرار بدید. خوشحال می



شم هم از طریق Comment ذیل این پست و هم از طریق Email و [Linkedin](#) با من در ارتباط باشید. همینطور میتونید این مطلب را توی اینستاگرام با هشتگ #microelecom به اشتراک بگذارید و [پیج مایکروالکام](#) (@microelecom) رو هم منشن کنید.